

Patent



IFW

Customer No. 31561
Application No.: 10/711,668
Docket No.13540-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wu
Application No. : 10/711,668
Filed : Sep 30, 2004
For : BIASING CIRCUIT AND VOLTAGE CONTROL
OSCILLATOR THEREOF
Examiner : N/A
Art Unit : 2816

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93121259,
filed on: 2004/7/16.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 27, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

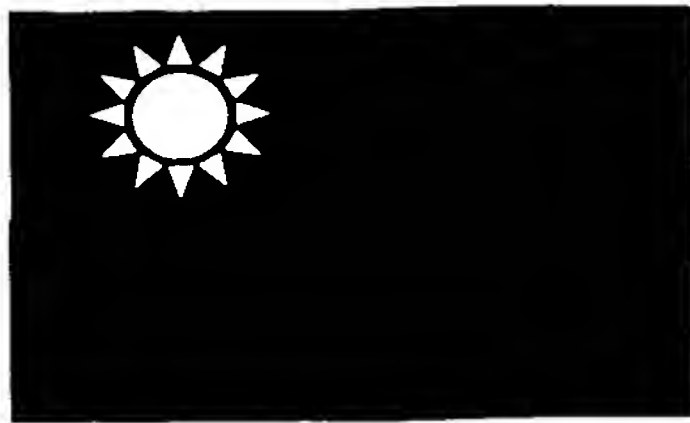
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2004 年 07 月 16 日
Application Date

申請案號：093121259 **CERTIFIED COPY OF
PRIORITY DOCUMENT**
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 10 月
Issue Date

發文字號：09320964080
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

一、發明名稱：(中文/英文)

偏壓電路與使用其之電壓控制振盪器

BIASING CIRCUIT AND THE USING OF VOLTAGE
CONTROL OSCILLATOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

華邦電子股份有限公司/WINBOND ELECTRONICS CORP.

代表人：(中文/英文) 焦佑鈞/ARTHUR Y. C. CHIAO

住居所或營業所地址：(中文/英文)

新竹科學工業園區研新三路四號/NO. 4, CREATION ROAD III,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 吳立德/ WU, LI TE

國 籍：(中文/英文) 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種偏壓電路與使用其之電壓控制振盪器，此偏壓電路包括補償電路、延遲電路與比較電路。在此偏壓電路中，係藉由對補償電路對延遲電路產生之第一差動電壓進行補償，而使得壓偏電路處於之電流或頻率很小時，穩定偏壓電路之輸出，以減小電壓控制振盪器輸出之時脈頻率的抖動。

六、英文發明摘要：

A biasing circuit and the using of a voltage control oscillator is provided. The biasing circuit comprises a compensation circuit, a delay circuit, and a comparing circuit. In the biasing circuit, a first differential voltage that generated by the delay circuit is compensated by the compensation circuit to stabilize a output of the biasing circuit when a current or a frequency of the biasing circuit is very small. And the jitter of clock frequency that the voltage control oscillator output can be reduced.

七、指定代表圖：

(一)本案指定代表圖為：圖(1)。

(二)本代表圖之元件符號簡單說明：

100：電壓控制振盪器，102：偏壓電路，104：電壓/電流轉換電路，106：振盪電路，108：環振盪電路，110：差動電路，112：補償電路，114：延遲電路，116：比較電路，122：可變電流源，124：第一電阻電路，126：第二電阻電路，M1：第一電晶體，M2：第二電晶體，N1：節點，P1：第一極點，P2：第二極點，Vdd：工作電壓。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種偏壓電路，且特別是有關於一種具有補償電路來穩定偏壓電路之輸出的偏壓電路。

【先前技術】

鎖相回路（Phase Lock Loop，簡稱 PLL）廣泛被應用在現代 IC 設計中，特別是在頻率綜合、時脈回復和資料回復方面。而在鎖相回路中，其最重要之關鍵部件係為其內部之電壓控制振盪器（Voltage Control Oscillator，簡稱 VCO）。因此，電壓控制振盪器之功效將直接影響了鎖相回路之功效。

請參照圖 5，其係繪示之電壓控制振盪器電路方塊圖，在圖 5 中，電壓控制振盪器 500 包括複製偏壓電路 502、電壓/電流轉換器 504、環振盪電路 508、差動電路 510 以及參考電壓產生電路 532。

請一併參照圖 6，其係為偏壓電路之實際電路圖，其偏壓電路 502 包括比較電路 516 與延遲電路 514。此延遲電路 514 包括可變電流源 522、第一電晶體 M51、第一電阻電路 524、第二電晶體 M52、第二電阻電路 526。可變電流源 522 接收輸入電流與例如是一操作電壓，並由可變電流源 522 之電流輸出端輸出一可變電流。第一電晶體 M51 具有源極端、汲極端與閘極端，第一電晶體 M51 之源極端電性耦接至可變電流源 522 之電流輸出端，第一電晶體 M51 之閘極端接地，第一電晶體 M51 之汲極端電性耦

接至第一電阻電路 524。第一電阻電路 524 具有第一端、第二端與第三端，第一電阻電路 524 之第二端接地，第一電阻電路 524 之第三端電性耦接至比較電路 116 之輸出端，並受此比較訊號之控制而改變其電阻大小。

在本實施例中，第二電晶體 M52 具有源極端、汲極端與閘極端，第二電晶體 M52 之源極端電性耦接至可變電流源 522 之電流輸出端，第二電晶體 M52 之閘極端電性耦接至延遲電路 514 之第三輸入端（亦即接收參考電壓）。而第二電阻電路 526 具有第一端、第二端與第三端，第二電阻電路 526 之第一端電性耦接至第二電晶體 M52 之汲極端，第二電阻電路 526 之第二端接地，第二電阻電路 526 之第三端電性耦接至比較電路 516 之輸出端，並受此比較訊號之控制而改變其電阻大小。

其中，延遲電路 514 之第一輸出端係配置於第一電晶體 M51 與第一電阻電路間 524，延遲電路 514 之第二輸出端係配置於第二電晶體 M52 與第二電阻電路 526 路間。

在習知之技術中，電壓/電流轉換電路 504 接收輸入電壓並將其轉換為輸入電流後輸出至複製偏壓電路 502 與環振盪電路 508。而複製偏壓電路 502 則根據參考電壓產生電路 532 提供之參考電壓與可變電流源 522 供給之電流而產生第一差動電壓與第二差動電壓，接著，比較電路 516 根據參考電壓與第一差動電壓輸出比較訊號至第一電阻電路 524 與第二電阻電路 526。其次，延遲電路 514 將第二差動電壓供給至環振盪電路 508。環振盪電路 508 與差動

電路 510 則根據輸入電流、第一差動電壓與第二差動電壓輸出時脈訊號。

請參照圖 7A 與 7B，其係為習知技術的複製偏壓電路之小信號 ac 分析模擬結果，其 DC（直流）增益是相等於 71.36dB，整體增益帶寬是相等於 4.06MHz，相位邊際是 37deg，第一極點 P1 之頻率是 2.06kHz，和第二極點 P2 之頻率係相等於 2.83MHz。

請參照圖 7A 與 7B，其係為鎖相回路之模擬曲線圖。其中，圖 7A 係為電壓控制振盪器 500 之輸入端之輸入電壓的曲線圖，而圖 7B 之曲線則為複製偏壓電路 502 在節點 523 之輸出曲線，而由圖 7B 中可以明顯看出在可變電流源 522 供給之電流很小時，其將造成節點 523 之輸出會有明顯的抖動。

綜合以上所述，由於複製偏壓電路 514 在電流或頻率很小時，無法穩定複製偏壓電路 514 之輸出，因而會造成電壓控制振盪器 500 輸出之時脈頻率的抖動。

【發明內容】

本發明的目的就是在提供一種偏壓電路，其係配設有補償電路，以使偏壓電路之輸出在大電流或小電流時，均能有穩定的輸出。

本發明的再一目的是提供一種電壓控制振盪器，其係藉由在其內之偏壓電路配設一補償電路，減小電壓控制振盪器輸出之時脈頻率的抖動。

本發明提出一種偏壓電路，此偏壓電路係接收輸入電

流與參考電壓，且其包括延遲電路、補償電路與比較電路。上述之延遲電路具有第一輸入端、第二輸入端、第三輸入端、第四輸入端、第一輸出端與第二輸出端，此延遲電路之第一輸入端係接收輸入電流，延遲電路之第二輸入端接地，延遲電路之第三輸入端接收參考電壓。上述之補償電路電性耦接至延遲電路之第一輸出端，並根據延遲電路之第一輸出端上之第一差動電壓，而輸出補償電壓。上述之比較電路具有第一輸入端、第二輸入端與輸出端，此比較電路之第一輸入端電性耦接在補償電路與延遲電路之第一輸出端之間，以接收補償電壓，比較電路之第二輸入端接收參考電壓，比較電路係對補償電壓與參考電壓作比較，用以由比較電路之輸出端輸出比較訊號至該延遲電路之第四輸入端。其中，延遲電路係根據輸入電流與比較訊號，以由延遲電路之第二輸出端輸出第二差動電壓。

依照本發明的較佳實施例所述，上述之補償電路包括定電流源與電壓偵測電路。上述之定電流源具有第一端與第二端，並從定電流源之第二端輸出定電流。上述之電壓偵測電路電性耦接至定電流源之第二端，並根據定電流而產生補償電壓。其中，延遲電路之第二輸出端係電性耦接在定電流源與電壓偵測電路之間。

本發明再提出一種電壓控制振盪器，其係接收輸入電壓與參考電壓。此電壓控制振盪器包括電壓/電流轉換器、偏壓電路與振盪電路。上述之電壓/電流轉換器接收輸入電壓，並轉換成輸入電流後輸出。上述之偏壓電路則包括延

遲電路、補償電路與比較電路，係根據所接收之輸入電流、參考電壓而輸出第一差動電壓與第二差動電壓。上述之振盪電路電性耦接至電壓/電流轉換電路與偏壓電路，以接收及根據輸入電流、第一差動電壓與第二差動電壓而輸出一時脈訊號。

本發明又提出一種電子裝置，其特徵在於電子裝置至少包括偏壓電路。上述之偏壓電路包括延遲電路、補償電路與比較電路。上述之延遲電路具有第一輸入端、第二輸入端、第三輸入端、第四輸入端、第一輸出端與第二輸出端，此延遲電路之第一輸入端係接收輸入電流，延遲電路之第二輸入端接地，延遲電路之第三輸入端接收參考電壓。上述之補償電路電性耦接至延遲電路之第一輸出端，並根據延遲電路之第一輸出端上之第一差動電壓，而輸出補償電壓。上述之比較電路具有第一輸入端、第二輸入端與輸出端，此比較電路之第一輸入端電性耦接在補償電路與延遲電路之第一輸出端之間，以接收補償電壓，比較電路之第二輸入端接收參考電壓，比較電路係對補償電壓與參考電壓作比較，用以由比較電路之輸出端輸出比較訊號至該延遲電路之第四輸入端。其中，延遲電路係根據輸入電流與比較訊號，以由延遲電路之第二輸出端輸出第二差動電壓。

本發明另提出一種電子裝置，其特徵在於至少包括電壓控制振盪器，且電壓控制振盪器係接收輸入電壓與參考電壓。此電壓控制振盪器包括電壓/電流轉換器、偏壓電路

與振盪電路。上述之電壓/電流轉換器接收輸入電壓，並轉換成輸入電流後輸出。上述之偏壓電路則包括延遲電路、補償電路與比較電路，係根據所接收之輸入電流、參考電壓而輸出第一差動電壓與第二差動電壓。上述之振盪電路電性耦接至電壓/電流轉換電路與偏壓電路，以接收及根據輸入電流、第一差動電壓與第二差動電壓而輸出一時脈訊號。

本發明因採用於偏壓電路中配設補償電路，因此可以使偏壓電路處於之電流或頻率很小時，穩定偏壓電路之輸出，以減小電壓控制振盪器輸出之時脈頻率的抖動。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

請參照圖 1，其繪示依照本發明一較佳實施例的一種電壓控制振盪器之電路方塊圖。此電壓控制振盪器 100 包括偏壓電路 102、電壓/電流轉換器 104、振盪電路 106 與參考電壓產生電路 132。其中，如熟悉此技藝者可以輕易知曉，偏壓電路 102 可以是複製偏壓電路 (Replica biasing circuit)，但不以此為限。

在本實施例中，電壓/電流轉換器 104 係接收輸入電壓，並將其轉換成輸入電流後輸出至偏壓電路 102 與振盪電路 106。而偏壓電路 102 則電性耦接至電壓/電流轉換器 104，且包括補償電路 112、延遲電路 114 與比較電路 116。

其中，延遲電路 114 具有第一輸入端、第二輸入端、第三輸入端、第四輸入端、第一輸出端與第二輸出端。此延遲電路 114 之第一輸入端係接收輸入電流，延遲電路 114 之第二輸入端接地，延遲電路 114 之第三輸入端接收參考電壓產生電路 132 提供之參考電壓。

在本實施例中，補償電路 112 電性耦接至延遲電路 114 之第一輸出端，並根據延遲電路 114 之第一輸出端上之第一差動電壓，而輸出補償電壓。請同時參照圖 2，其係繪示依照本發明一較佳實施例的一種補償電路之實際電路圖。此補償電路 112 可以例如是包括定電流源 202 與電壓偵測電路 204。其中，定電流源 202 具有第一端與第二端，定電流源 202 之第二端輸出定電流至電壓偵測電路 204，而電壓偵測電路 204 則根據定電流而產生補償電壓，且延遲電路 114 之第二輸出端係電性耦接在定電流源 202 與電壓偵測電路 204 之間。

其中，電壓偵測電路 204 可以是電阻，但不以此為限。

請繼續參照圖 1，在本實施例中，比較電路 116 具有第一輸入端、第二輸入端與輸出端。此比較電路 116 之第一輸入端電性耦接在補償電路 112 與延遲電路 114 之第一輸出端之間，以接收補償電壓。比較電路 116 之第二輸入端接收參考電壓，比較電路 116 係對補償電壓與參考電壓作比較，並由該比較電路 116 之輸出端輸出比較訊號至延遲電路之第四輸入端。其中，延遲電路 116 係根據輸入電流與比較訊號，由延遲電路 116 之第二輸出端輸出第二差

動電壓至振盪電路 106。

在本實施例中，振盪電路 106 電性耦接至電壓/電流轉換電路 104 與偏壓電路 102，接收及根據輸入電流、第一差動電壓與第二差動電壓而輸出一時脈訊號。

在本實施例中，延遲電路 114 包括可變電流源 122、第一電晶體 M1、第一電阻電路 124、第二電晶體 M2、第二電阻電路 126。可變電流源 122 接收輸入電流與例如是一操作電壓，並由可變電流源 122 之電流輸出端輸出一可變電流。第一電晶體 M1 具有源極端、汲極端與閘極端，第一電晶體 M1 之源極端電性耦接至可變電流源 122 之電流輸出端，第一電晶體 M1 之閘極端接地，第一電晶體 M1 之汲極端電性耦接至第一電阻電路 124。第一電阻電路 124 具有第一端、第二端與第三端，第一電阻電路 124 之第二端接地，第一電阻電路 124 之第三端電性耦接至比較電路 116 之輸出端，並受此比較訊號之控制而改變其電阻大小。

在本實施例中，第二電晶體 M2 具有源極端、汲極端與閘極端，第二電晶體 M2 之源極端電性耦接至可變電流源 122 之電流輸出端，第二電晶體 M2 之閘極端電性耦接至延遲電路 114 之第三輸入端（亦即接收參考電壓）。而第二電阻電路 126 具有第一端、第二端與第三端，第二電阻電路 126 之第一端電性耦接至第二電晶體 M2 之汲極端，第二電阻電路 126 之第二端接地，第二電阻電路 126 之第三端電性耦接至比較電路 116 之輸出端，並受此比較訊號之控制而改變其電阻大小。

其中，延遲電路 114 之第一輸出端係配置於第一電晶體 M1 與第一電阻電路間 124，延遲電路 114 之第二輸出端係配置於第二電晶體 M2 與第二電阻電路 126 路間。

在本發明之較佳實施例中，第一電阻電路 124 可例如是包括一或多個電晶體，第二電阻電路 126 可例如是包括一或多個電晶體，但均不以此為限。

在本實施例中，振盪電路 106 還可以例如是包括環振盪電路 108 與差動電路 110。在振盪電路 106 中，其第一級延遲電路之第二電晶體 M2 之閘極端係電性耦接至延遲電路 114 之第二輸出端。其中，環振盪電路 108 可以是由多個延遲電路所組成，但不以此為限。

在本發明之較佳實施例中，參考電壓可以例如是由參考電壓產生電路 132 所產生。

請同時參照圖 1 與圖 2，此電壓控制振盪器 100 之操作係為 104 將輸入電壓轉換為輸入電流後輸出至延遲電路 114 與環振盪電路 106。延遲電路 114 則分別提供電流至第一電晶體 M1 與第二電晶體 M2。此時，在延遲電路 114 之第一輸出端（亦即 P2）上會出現一第一差動電壓，補償電路 112 則根據此第一差動電壓而輸出補償電壓至比較電路 116 之第一輸入端。

比較電路 116 則對所接收之參考電壓與補償電壓作比較，然後輸出比較訊號至第一電阻電路 124 與第二電阻電路 126。延遲電路 114 則輸出補償後之第一差動電壓與第二差動電壓至振盪電路 106。接著，振盪電路 106 則在將

其計算後，輸出時脈訊號。

在本實施例中，係使用小信號 ac 分析方法來分析偏壓電路的穩定。其中，係採用 2 極點（P1 與 P2）模型來分析複製偏壓電路。如果忽略高階極點時，能採取第一極點 P1 係有關於電容器負載 C_{23} 與操作放大器的輸出阻抗 r_{op} ，且其極點頻率係為 $\omega_1 = 1/r_{op}C_{23}$ 。第二極點 P2 則是有相關於迴授點 N1，且其極點頻率係為 $\omega_2 = 1/R_2C_{N1}$ 。其中 C_{N1} 是節點 N1 的電容器負載。而等效電阻 R_2 為 $(r_{122} + r_{M1}) \parallel r_{124} \parallel R_{204} \parallel r_{202}$ 。由於可變電流源 122 與定電流源 141 之輸出阻抗比其他阻抗大很多，因此，在計算阻抗時，則將其忽略。故，等效電阻 R_2 為近似於 $r_{124} \parallel R_{204}$ 。

在本實施例中，電壓偵測電路 204 可限制第二極點的等效阻抗，如此第二極點 P2 之最大阻抗 R_{2max} 大致相等於 R_{204} 。因此，第二極點 P2 之最小頻率 ω_2 因此可被固定成 $1/R_{204}C_{31}$ 。由於在配設了補償電阻 204 將會改變直流偏壓點，因此，在補償電路 112 中另配設一定電流源 202 以消除這樣的影響，且定電流源 202 之輸出之定電流大小係為等於參考電壓 / R_{204} 。

請同時參照圖 3A、圖 3B、圖 4A 與圖 4B，其分別繪示依照本發明一較佳實施例的一種補償電路之小信號分析曲線圖、電壓控制振盪器之輸入電壓曲線圖、第一差動電壓與第二差動電壓曲線圖。

請參照圖 3A 與圖 3B，其 DC 增益是相等於 61.7dB，整體增益頻率帶寬是相等的到 2.36MHz，相位邊際是 73 度，

第一極點頻率是2.06kHz，第二個極點頻率是9.75MHz。第一個極點P1之頻率與未配設補償電路時一樣，而在本發明配設補償電路後，則可使得相位邊際從37deg 增加到73deg。

請參照圖4A與圖4B，其係為具有補償電路之鎖相回路。在圖4A中係表示電壓控制振盪器100之輸入端的輸入電壓之曲線，而圖4中則係為偏壓電路114在節點23之輸出，並且由此曲線可知，偏壓電路的輸出是穩定的。

綜合以上所述，本發明之偏壓電路與使用其之電壓控制振盪器可以使偏壓電路處於之電流或頻率很小時，穩定偏壓電路之輸出，以減小電壓控制振盪器輸出之時脈頻率的抖動。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是繪示依照本發明一較佳實施例的一種電壓控制振盪器之電路方塊圖。

圖 2 是繪示依照本發明一較佳實施例的一種補償電路之實際電路圖。

圖 3A~3B 是繪示依照本發明一較佳實施例的一種補償電路之小信號分析曲線圖。

圖 4A 是繪示依照本發明一較佳實施例的一種電壓控

制振盪器之輸入電壓曲線圖。

圖 4B 是繪示依照本發明一較佳實施例的一種偏壓電路之第一差動電壓與第二差動電壓曲線圖。

圖 5 係習知一種電壓控制振盪器之電路方塊圖。

圖 6 係習知一種偏壓電路之實際電路圖。

圖 7A~7B 係習知一種補償電路之小信號分析曲線圖。

圖 8A 係習知一種電壓控制振盪器之輸入電壓曲線圖。

圖 8B 係習知一種偏壓電路之第一差動電壓與第二差動電壓曲線圖。

【主要元件符號說明】

23、523、N1：節點

100、500：電壓控制振盪器

102、502：偏壓電路

104、504：電壓/電流轉換電路

106：振盪電路

108、508：環振盪電路

110、510：差動電路

112：補償電路

114、514：延遲電路

116、516：比較電路

122、522：可變電流源

124、524：第一電阻電路

126、526：第二電阻電路

132、532：參考電壓產生電路

M1、M51：第一電晶體

M2、M52：第二電晶體

P1、P51：第一極點

P2、P52：第二極點

Vdd：工作電壓

202：定電流源

204：電壓偵測電路

十、申請專利範圍：

1.一種偏壓電路，係接收一輸入電流與一參考電壓，該偏壓電路包括：

一延遲電路，具有第一輸入端、第二輸入端、第三輸入端、第四輸入端、第一輸出端與第二輸出端，該延遲電路之第一輸入端係接收該輸入電流，該延遲電路之第二輸入端接地，該延遲電路之第三輸入端接收該參考電壓；

一補償電路，電性耦接至該延遲電路之第一輸出端，並根據該延遲電路之第一輸出端上之一第一差動電壓，而輸出一補償電壓；以及

一比較電路，具有第一輸入端、第二輸入端與輸出端，該比較電路之第一輸入端電性耦接在該補償電路與該延遲電路之第一輸出端之間，以接收該補償電壓，該比較電路之第二輸入端接收該參考電壓，該比較電路係對該補償電壓與該參考電壓作比較，用以由該比較電路之輸出端輸出一比較訊號至該延遲電路之第四輸入端，

其中，該延遲電路係根據該輸入電流與該比較訊號，用以由該延遲電路之第二輸出端輸出一第二差動電壓。

2.如申請專利範圍第 1 項所述之偏壓電路，其中該補償電路包括：

一定電流源，具有第一端與第二端，並從該定電流源之第二端輸出一一定電流；以及

一電壓偵測電路，電性耦接至該定電流源之第二端，並根據該定電流而產生該補償電壓，

其中，該延遲電路之第二輸出端係電性耦接在該定電流源與該電壓偵測電路之間。

3.如申請專利範圍第 2 項所述之偏壓電路，其中該電壓偵測電路包括電阻。

4.如申請專利範圍第 1 項所述之偏壓電路，其中該延遲電路包括：

一可變電流源，接收該輸入電流，並由該可變電流源之電流輸出端輸出一可變電流；

一第一電晶體，具有源極端、汲極端與閘極端，該第一電晶體之源極端電性耦接至該可變電流源之電流輸出端，該第一電晶體之閘極端接地；

一第一電阻電路，具有第一端、第二端與第三端，該第一電阻電路之第一端電性耦接至該第一電晶體之汲極端，該第一電阻電路之第二端接地，該第一電阻電路之第三端電性耦接至該比較電路之輸出端；

一第二電晶體，具有源極端、汲極端與閘極端，該第二電晶體之源極端電性耦接至該可變電流源之電流輸出端，該第二電晶體之閘極端電性耦接至該延遲電路之第三輸入端；以及

一第二電阻電路，具有第一端、第二端與第三端，該第二電阻電路之第一端電性耦接至該第二電晶體之汲極端，該第二電阻電路之第二端接地，該第二電阻電路之第三端電性耦接至該比較電路之輸出端，

其中，該延遲電路之第一輸出端係配置於該第一電晶

體與該第一電阻電路間，該延遲電路之第二輸出端係配置於該第二電晶體與該第二電阻電路間。

5.如申請專利範圍第 4 項所述之偏壓電路，其中該第一電阻電路包括電晶體。

6.如申請專利範圍第 4 項所述之偏壓電路，其中該第二電阻電路包括電晶體。

7.如申請專利範圍第 1 項所述之偏壓電路，其中該參考電壓係由一參考電壓產生電路所產生。

8.一種電壓控制振盪器，係接收一輸入電壓與一參考電壓，該電壓控制振盪器包括：

一電壓/電流轉換器，接收該輸入電壓，並轉換成一輸入電流後輸出；

一偏壓電路，電性耦接至該電壓/電流轉換器，該偏壓電路包括：

一延遲電路，具有第一輸入端、第二輸入端、第三輸入端、第四輸入端、第一輸出端與第二輸出端，該延遲電路之第一輸入端係接收該輸入電流，該延遲電路之第二輸入端接地，該延遲電路之第三輸入端接收該參考電壓；

一補償電路，電性耦接至該延遲電路之第一輸出端，並根據該延遲電路之第一輸出端上之一第一差動電壓，而輸出一補償電壓；以及

一比較電路，具有第一輸入端、第二輸入端與輸出端，該比較電路之第一輸入端電性耦接在該補償電路與該延遲電路之第一輸出端之間，以接收該補償電壓，該比

較電路之第二輸入端接收該參考電壓，該比較電路係對該補償電壓與該參考電壓作比較，用以由該比較電路之輸出端輸出一比較訊號至該延遲電路之第四輸入端；以及

其中，該延遲電路係根據該輸入電流與該比較訊號，用以由該延遲電路之第二輸出端輸出一第二差動電壓；

一振盪電路，電性耦接至該電壓/電流轉換電路與該偏壓電路，用以接收及根據該輸入電流、該第一差動電壓與該第二差動電壓而輸出一時脈訊號。

9.如申請專利範圍第 8 項所述之電壓控制振盪器，其中該該補償電路包括：

一定電流源，具有第一端與第二端，並從該定電流源之第二端輸出一一定電流；以及

一電壓偵測電路，電性耦接至該定電流源之第二端，並根據該定電流而產生該補償電壓；

其中，該延遲電路之第二輸出端係電性耦接在該定電流源與該電壓偵測電路之間。

10.如申請專利範圍第 9 項所述之電壓控制振盪器，其中該電壓偵測電路包括電阻。

11.如申請專利範圍第 8 項所述之電壓控制振盪器，其中該延遲電路包括：

一可變電流源，接收該輸入電流，並由該可變電流源之電流輸出端輸出一可變電流；

一第一電晶體，具有源極端、汲極端與閘極端，該第一電晶體之源極端電性耦接至該可變電流源之電流輸出

端，該第一電晶體之閘極端接地；

一第一電阻電路，具有第一端、第二端與第三端，該第一電阻電路之第一端電性耦接至該第一電晶體之汲極端，該第一電阻電路之第二端接地，該第一電阻電路之第三端電性耦接至該比較電路之輸出端；

一第二電晶體，具有源極端、汲極端與閘極端，該第二電晶體之源極端電性耦接至該可變電流源之電流輸出端，該第二電晶體之閘極端電性耦接至該延遲電路之第三輸入端；以及

一第二電阻電路，具有第一端、第二端與第三端，該第二電阻電路之第一端電性耦接至該第二電晶體之汲極端，該第二電阻電路之第二端接地，該第二電阻電路之第三端電性耦接至該比較電路之輸出端；

其中，該延遲電路之第一輸出端係配置於該第一電晶體與該第一電阻電路間，該延遲電路之第二輸出端係配置於該第二電晶體與該第二電阻電路間。

12.如申請專利範圍第 11 項所述之電壓控制振盪器，其中該第一電阻電路包括電晶體。

13.如申請專利範圍第 11 項所述之電壓控制振盪器，其中該第二電阻電路包括電晶體。

14.如申請專利範圍第 8 項所述之電壓控制振盪器，其中該振盪電路包括多數個延遲電路與一差動電路。

15.如申請專利範圍第 8 項所述之電壓控制振盪器，其中該參考電壓係由一參考電壓產生電路所產生。

16.一種電子裝置，其特徵在於該電子裝置至少包括一偏壓電路，且該偏壓電路包括：

一延遲電路，具有第一輸入端、第二輸入端、第三輸入端、第四輸入端、第一輸出端與第二輸出端，該延遲電路之第一輸入端係接收一輸入電流，該延遲電路之第二輸入端接地，該延遲電路之第三輸入端接收一參考電壓；

一補償電路，電性耦接至該延遲電路之第一輸出端，並根據該延遲電路之第一輸出端上之一第一差動電壓，而輸出一補償電壓；以及

一比較電路，具有第一輸入端、第二輸入端與輸出端，該比較電路之第一輸入端電性耦接在該補償電路與該延遲電路之第一輸出端之間，以接收該補償電壓，該比較電路之第二輸入端接收該參考電壓，該比較電路係對該補償電壓與該參考電壓作比較，用以由該比較電路之輸出端輸出一比較訊號至該延遲電路之第四輸入端，

其中，該延遲電路係根據該電流與比較訊號，用以由該延遲電路之第二輸出端輸出一第二差動電壓。

17.如申請專利範圍第 16 項所述之電子裝置，其中該補償電路包括：

一定電流源，具有第一端與第二端，並從該定電流源之第二端輸出一一定電流；以及

一電壓偵測電路，電性耦接至該定電流源之第二端，並根據該定電流而產生該補償電壓，

其中，該延遲電路之第二輸出端係電性耦接在該定電

流源與該電壓偵測電路之間。

18.一種電子裝置，其特徵在於至少包括一電壓控制振盪器，該電壓控制振盪器係接收一輸入電壓與一參考電壓，且包括：

一電壓/電流轉換器，接收該輸入電壓，並轉換成一輸入電流後輸出；

一偏壓電路，電性耦接至該電壓/電流轉換器，該偏壓電路包括：

一延遲電路，具有第一輸入端、第二輸入端、第三輸入端、第四輸入端、第一輸出端與第二輸出端，該延遲電路之第一輸入端係接收該輸入電流，該延遲電路之第二輸入端接地，該延遲電路之第三輸入端接收該參考電壓；

一補償電路，電性耦接至該延遲電路之第一輸出端，並根據該延遲電路之第一輸出端上之一第一差動電壓，而輸出一補償電壓；以及

一比較電路，具有第一輸入端、第二輸入端與輸出端，該比較電路之第一輸入端電性耦接在該補償電路與該延遲電路之第一輸出端之間，以接收該補償電壓，該比較電路之第二輸入端接收該參考電壓，該比較電路係對該補償電壓與該參考電壓作比較，用以由該比較電路之輸出端輸出一比較訊號至該延遲電路之第四輸入端；以及

其中，該延遲電路係根據該電流與比較訊號，用以由該延遲電路之第二輸出端輸出一第二差動電壓；

一振盪電路，電性耦接至該電壓/電流轉換電路與該偏

壓電路，用以接收及根據該輸入電流、該第一差動電壓與該第二差動電壓而輸出一時脈訊號。

100

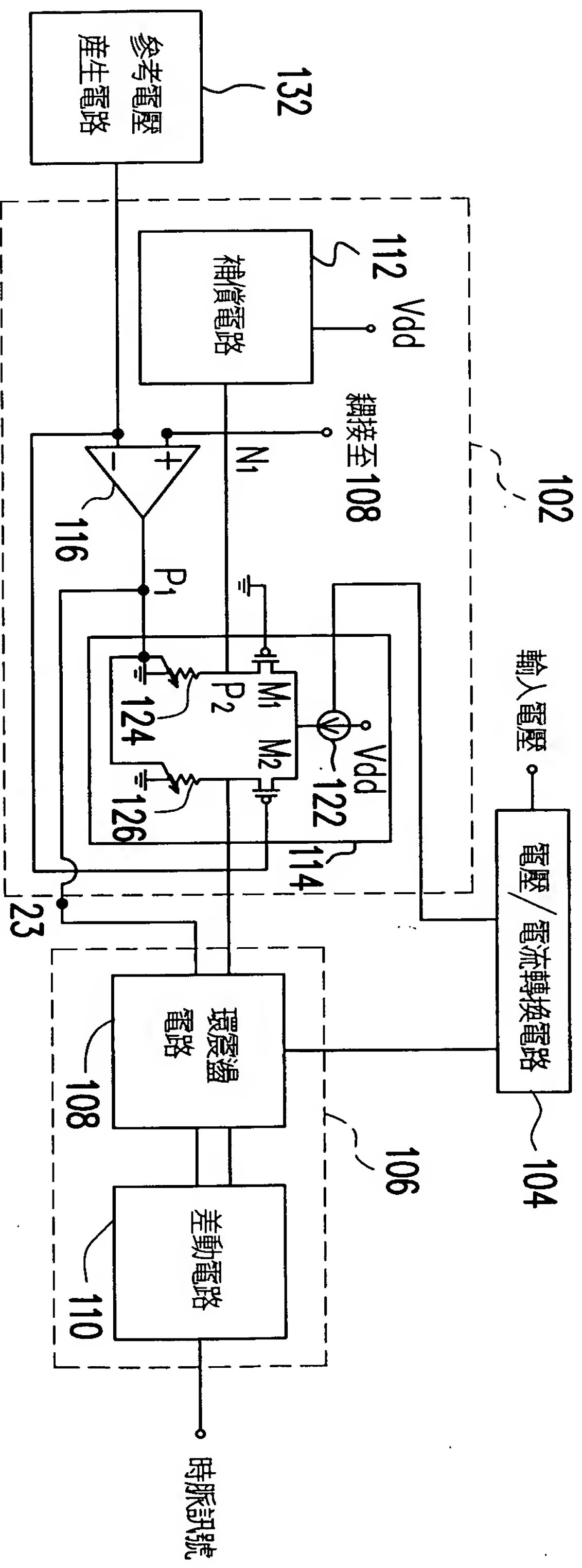


圖 1

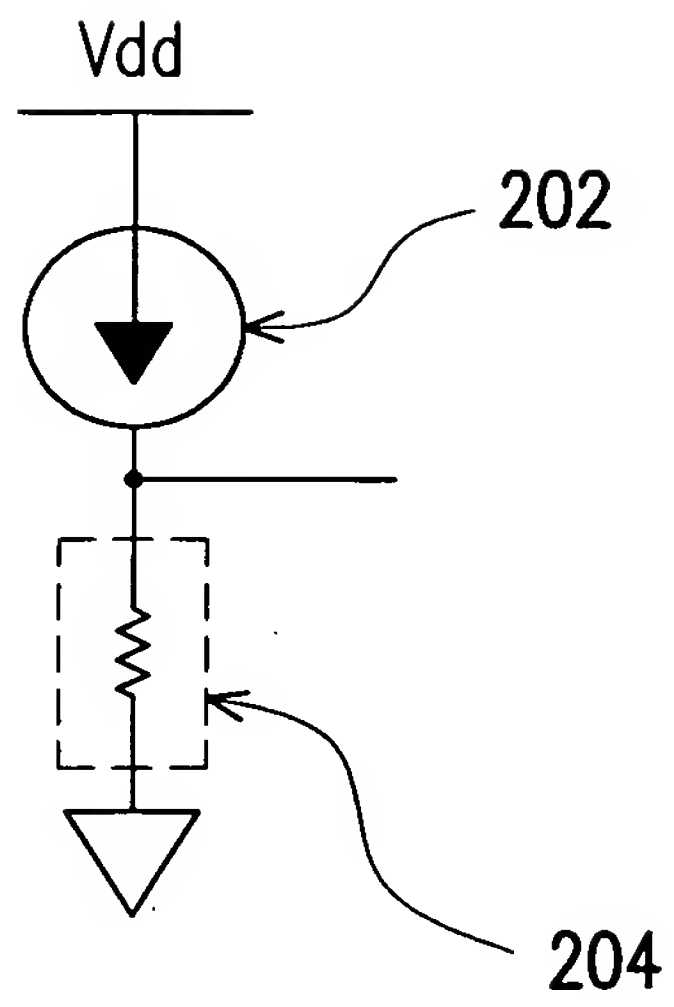
112

圖 2

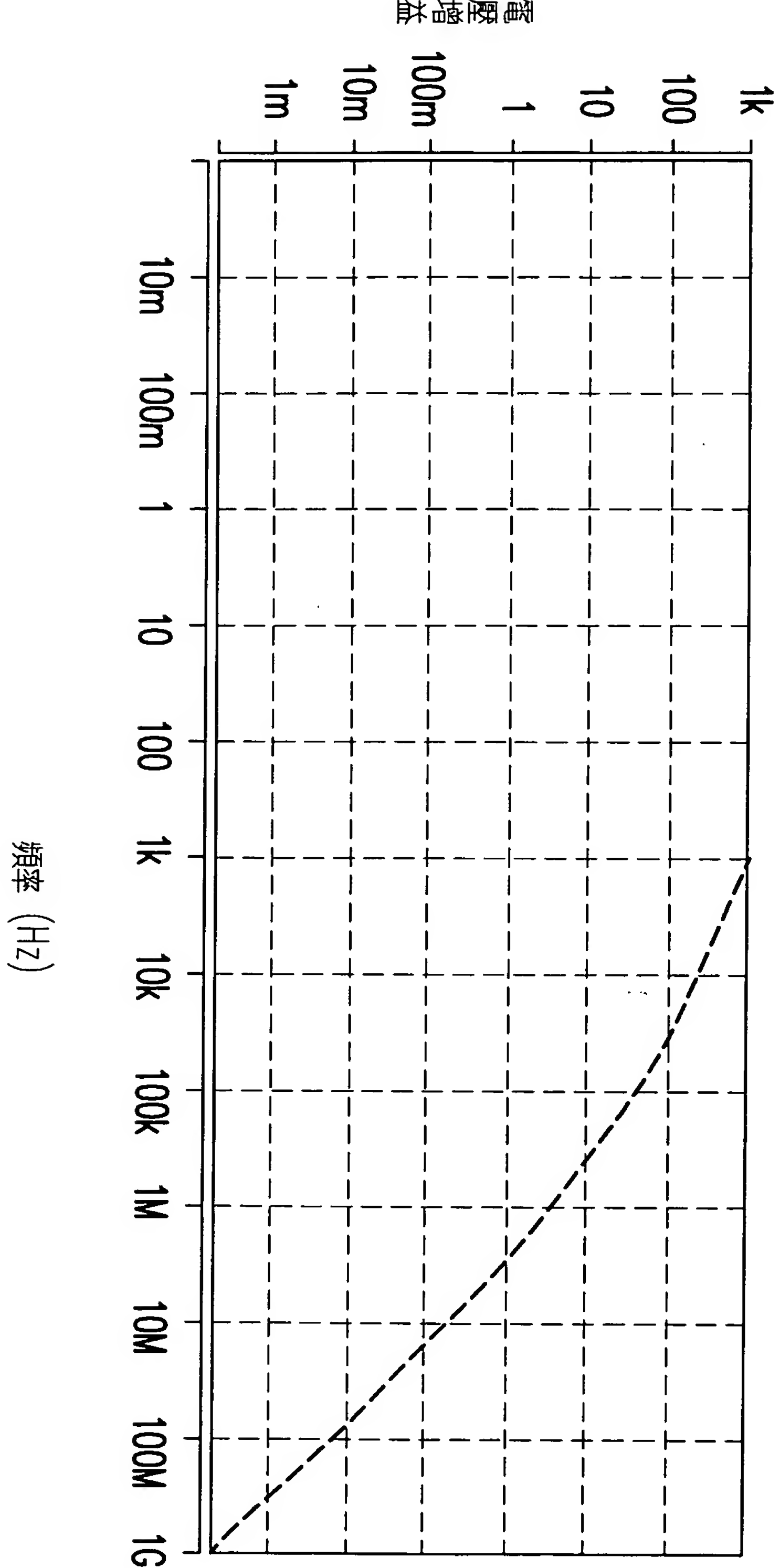


圖 3A

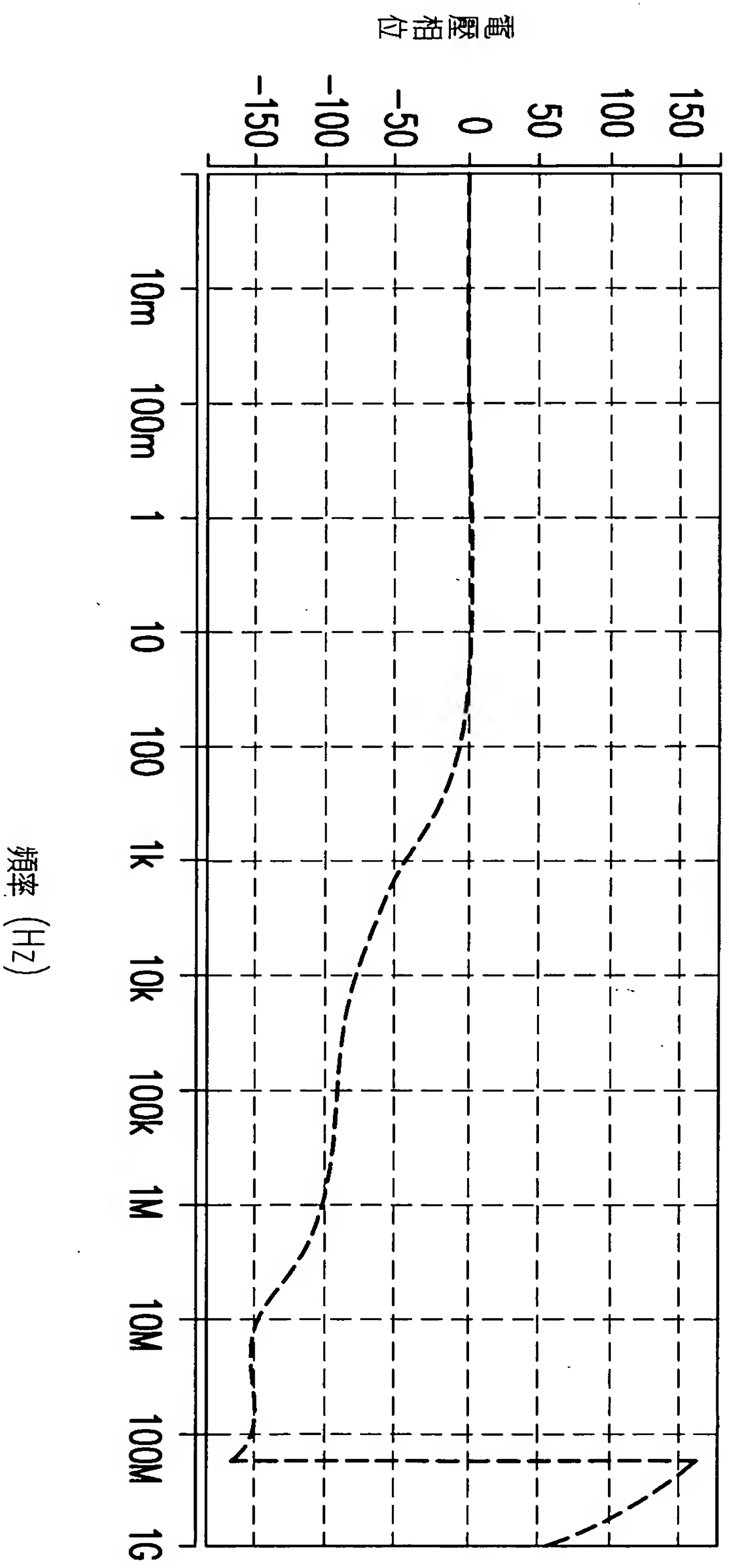


圖 3B

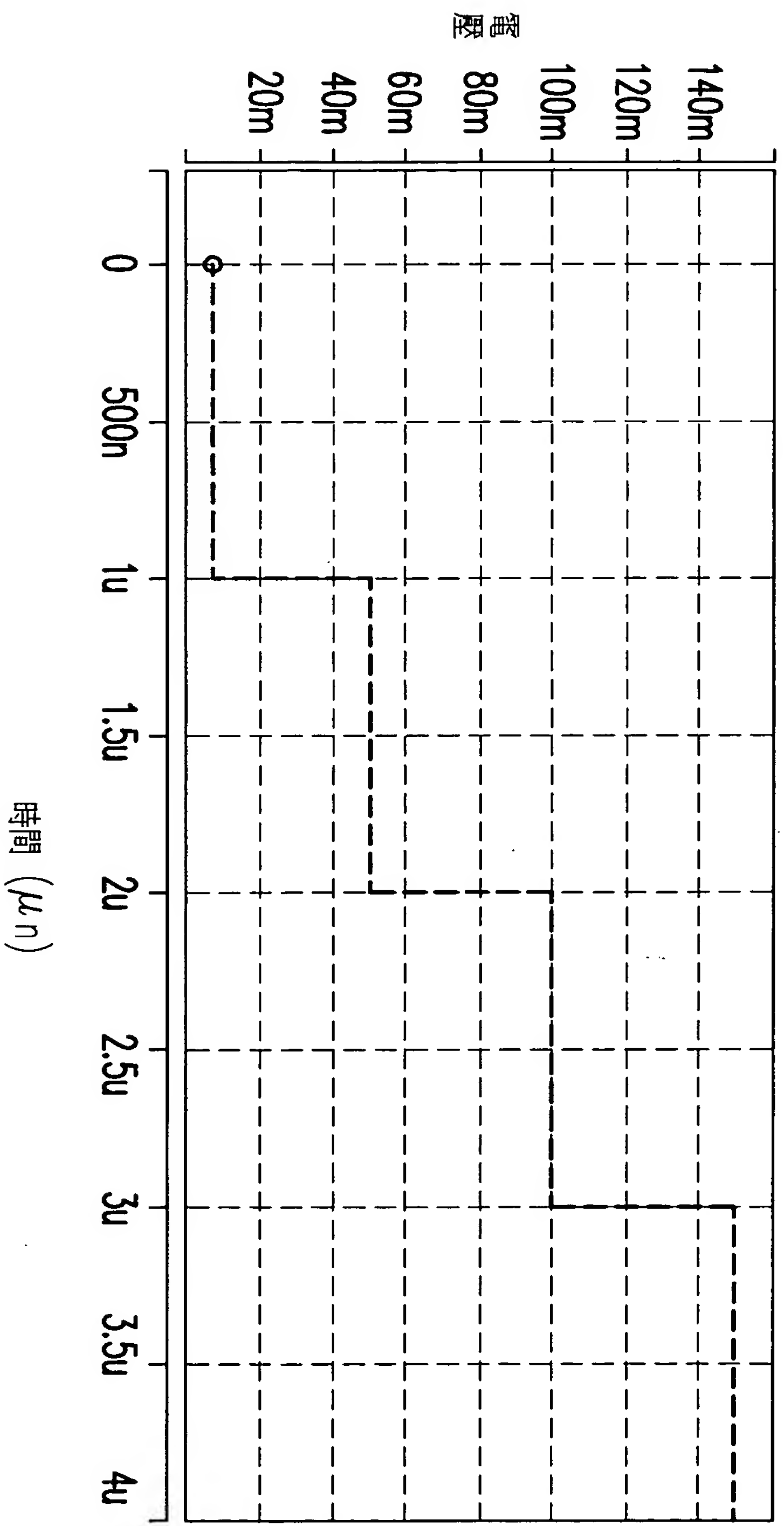


圖 4A

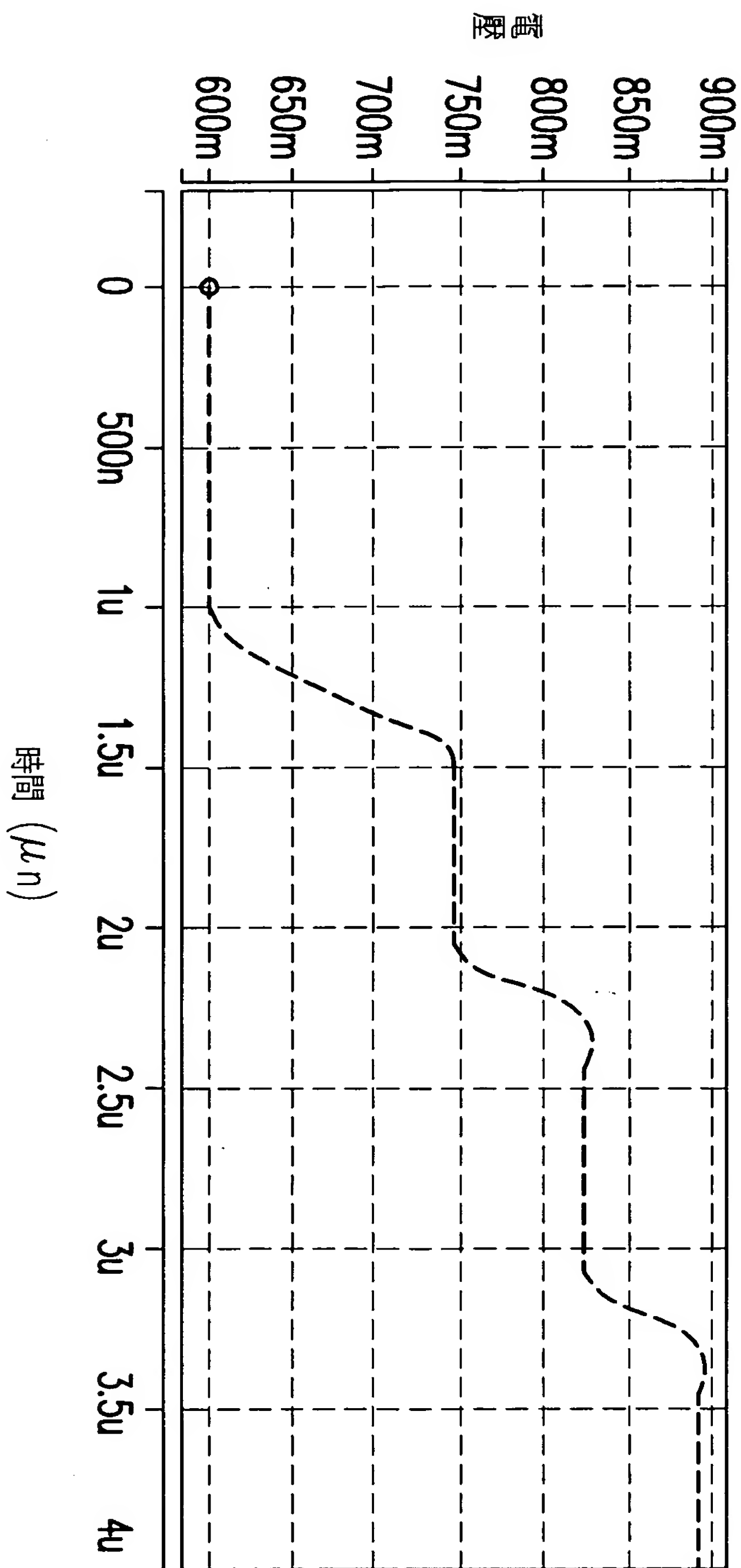


圖 4B

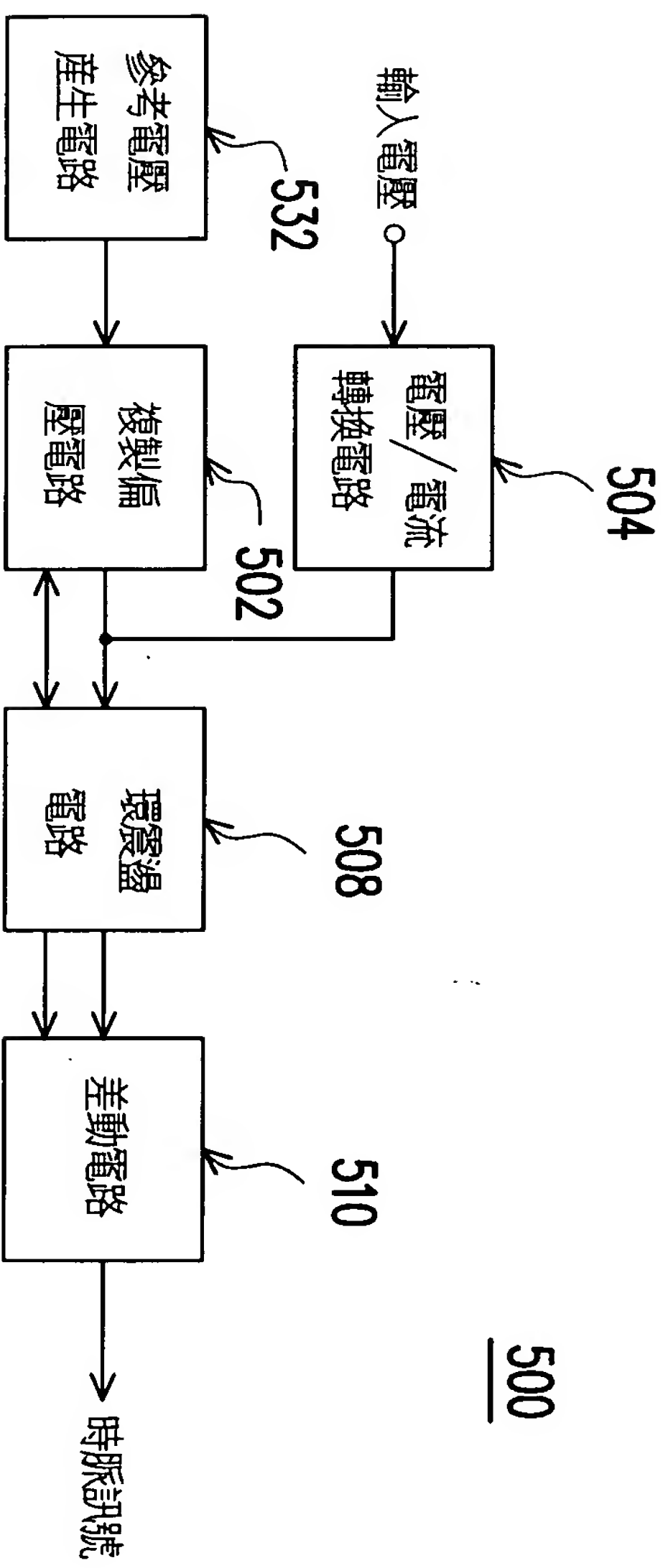


圖 5

502

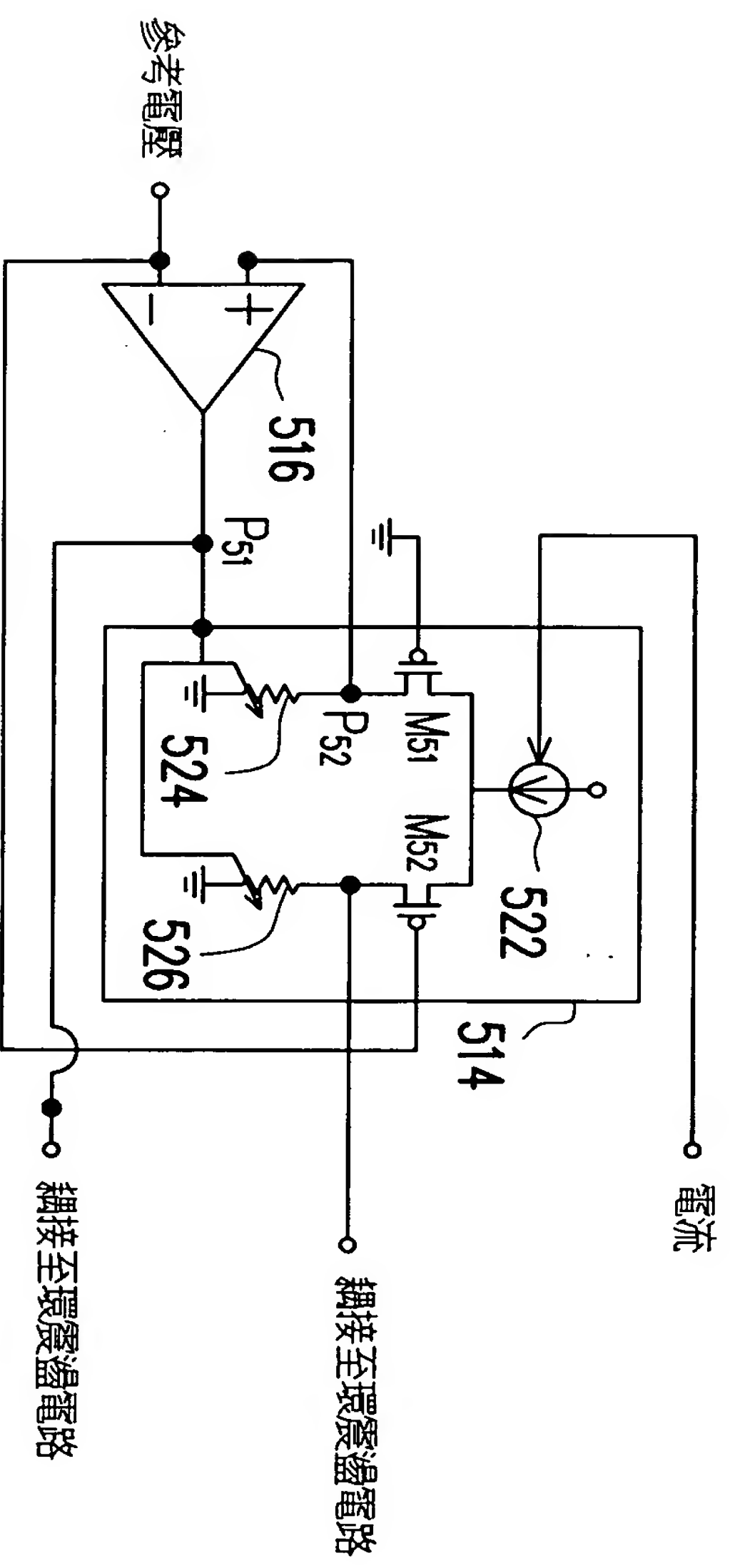


圖 6

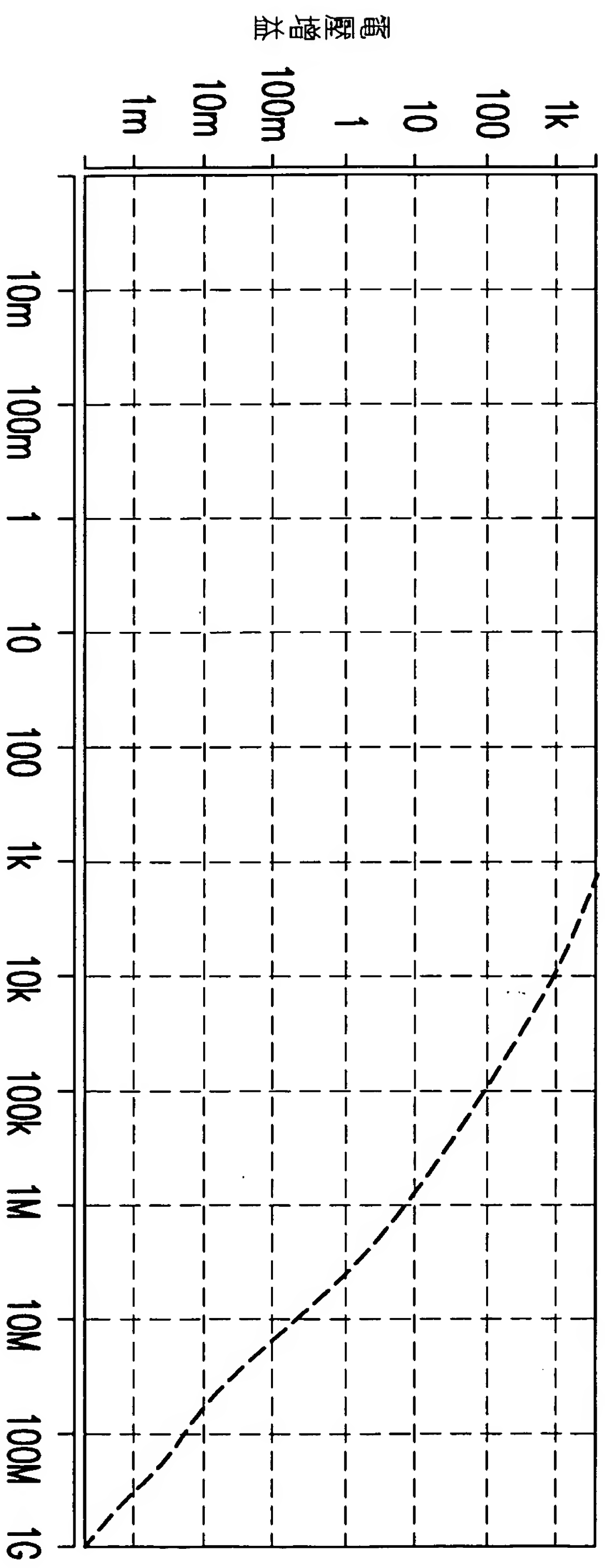


圖 7A

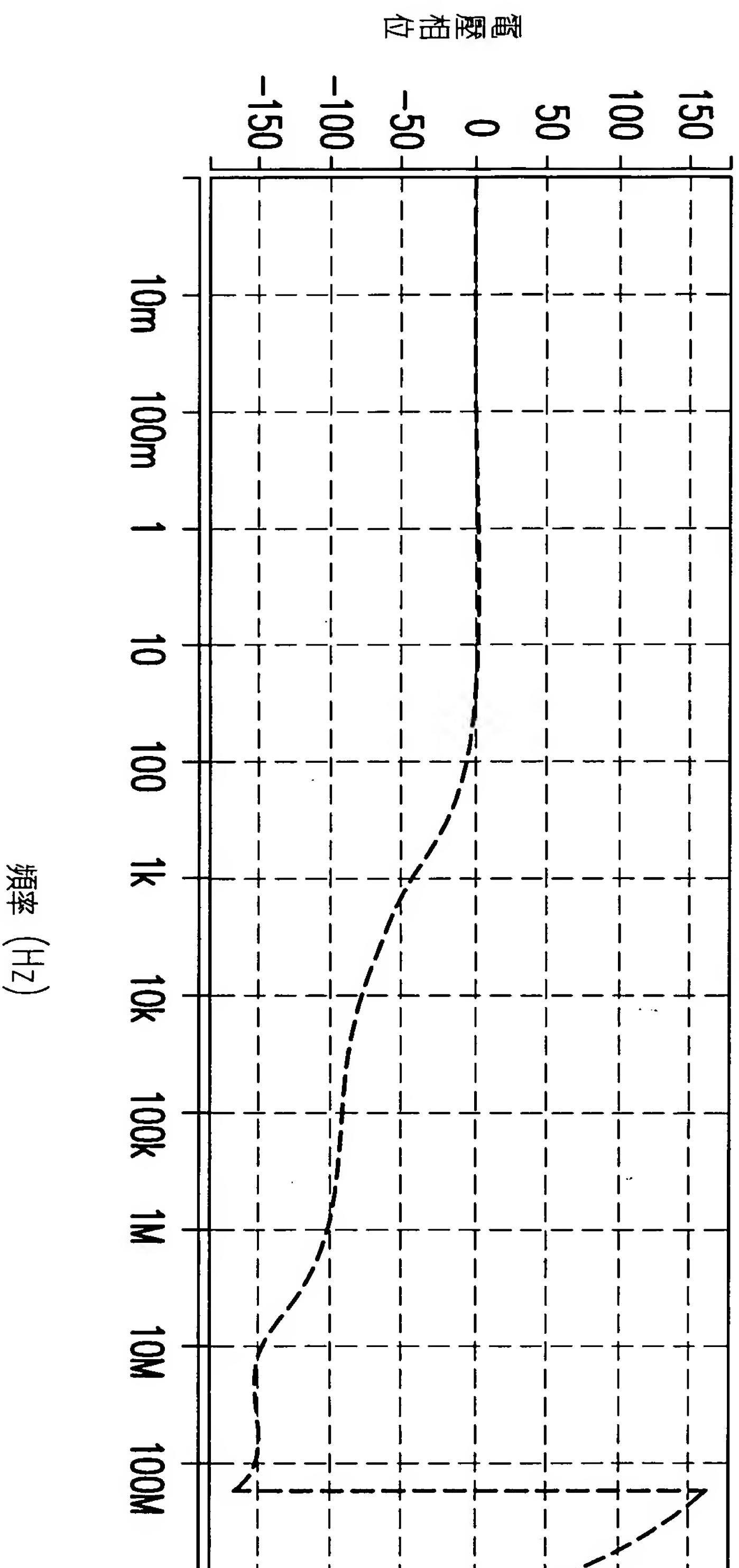


圖 7B

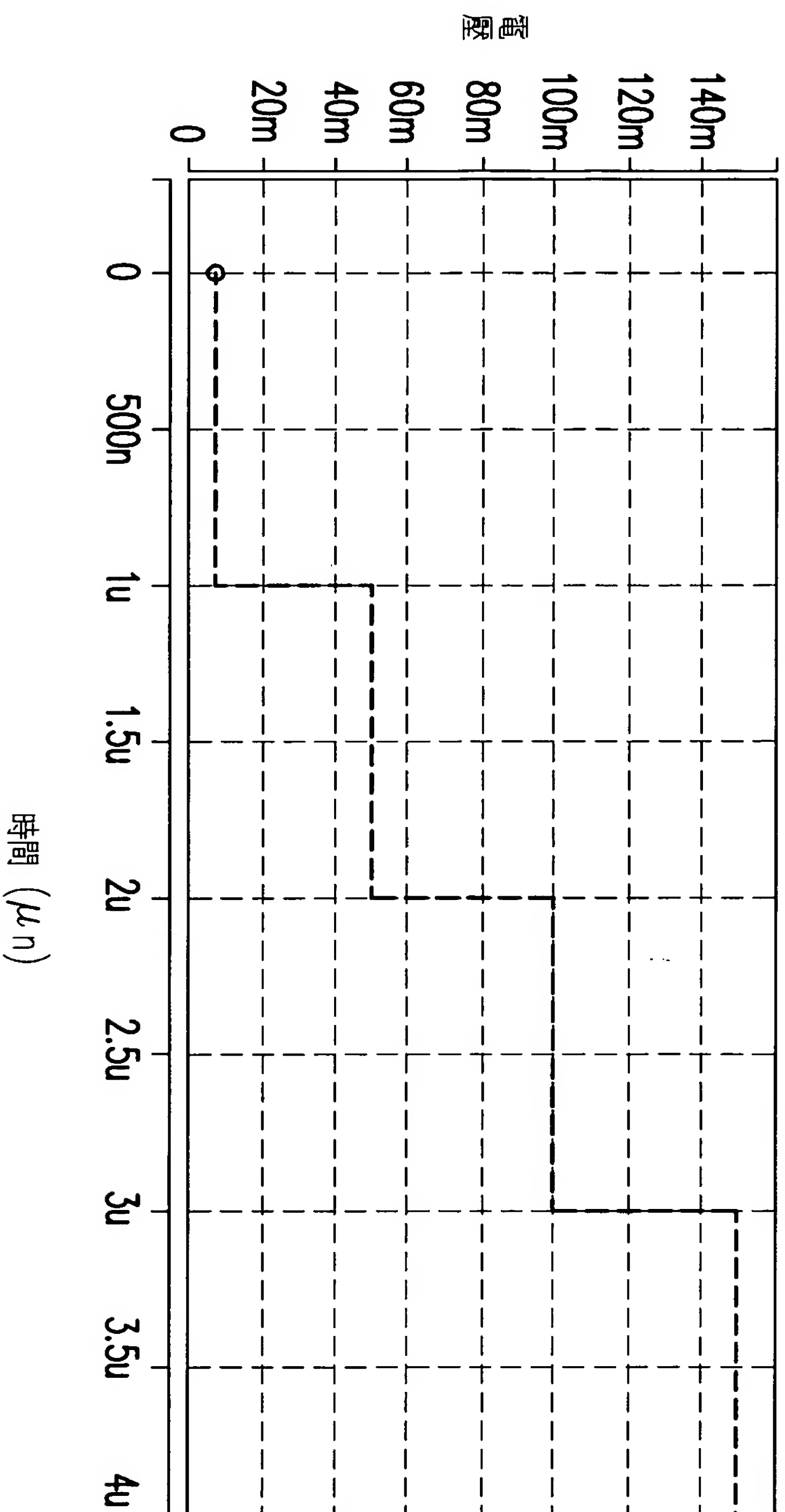


圖 8A

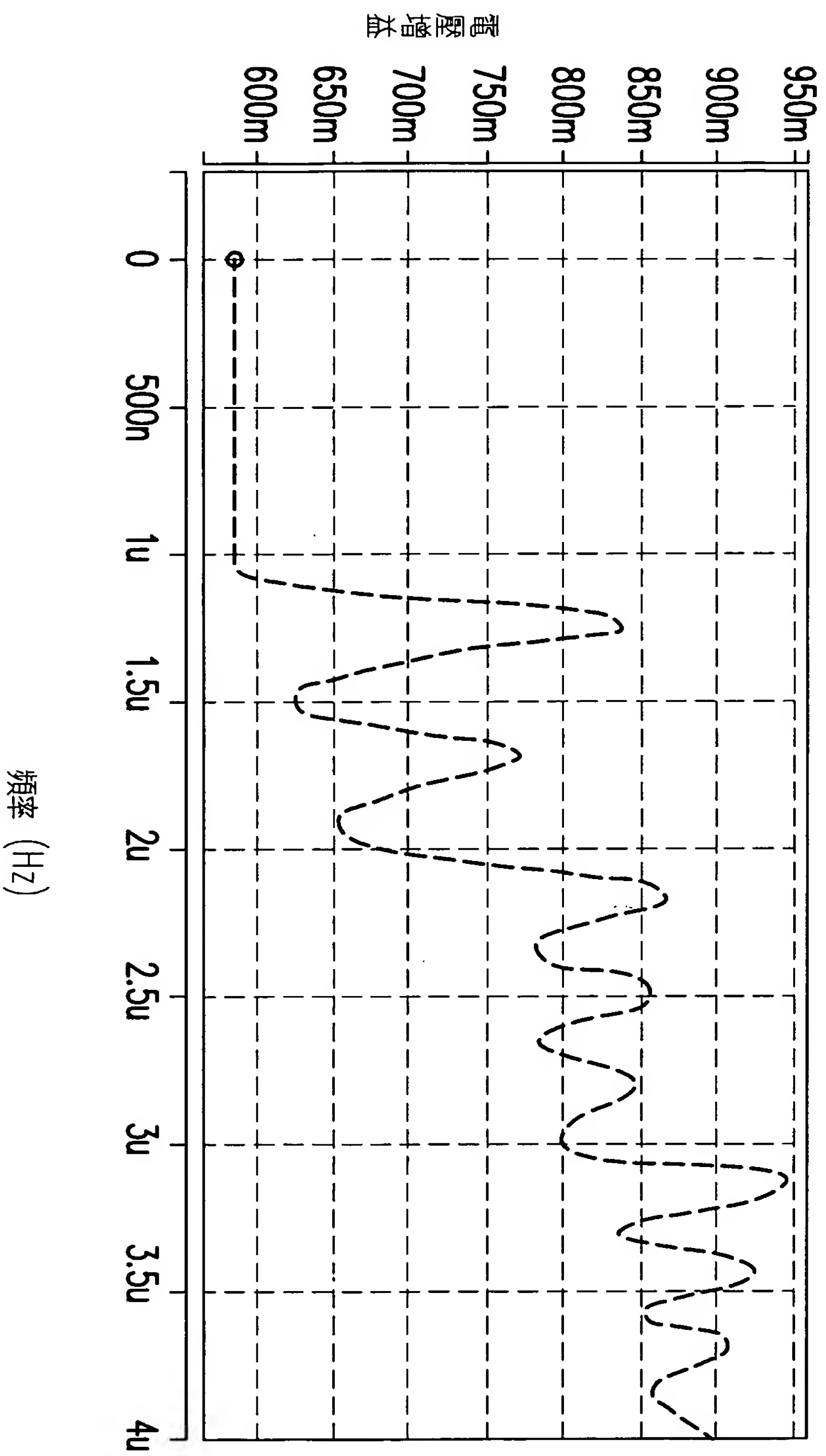


圖 8B